

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-102324

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

G06F 12/14  
G11C 16/02  
H01L 27/04  
H01L 21/822

(21)Application number : 09-278044

(71)Applicant : ROHM CO LTD

(22)Date of filing : 25.09.1997

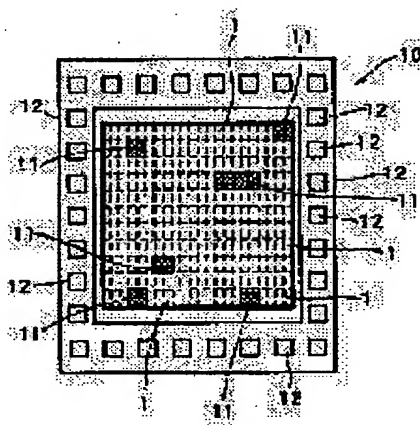
(72)Inventor : TAKUMA TOSHINORI

## (54) IC WITH INTERNAL INFORMATION PROTECTING CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an IC with the internal information protecting circuit which can protect internal information with high security when the IC is unsealed.

**SOLUTION:** Photodetecting elements 11 are dispersed and arranged to disable logic circuits and logic elements to operate normally in an unsealed state through the operation of the photodetecting elements 11, specially, the internal logic to be analyzed by an electron beam tester etc. When the whole IC 10 is shielded after being unsealed, no current is generated by the photodetecting elements 11, but a circuit which couples memory cells with the photodetecting elements 11 is adopted to store the unsealed state.



## LEGAL STATUS

[Date of request for examination]

25.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102324

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 12/14

3 2 0

G 0 6 F 12/14

3 2 0 D

G 1 1 C 16/02

G 1 1 C 17/00

6 0 1 P

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号

特願平9-278044

(22) 出願日

平成9年(1997) 9月25日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 宅間 俊則

京都市右京区西院溝崎町21番地 ローム株式会社内

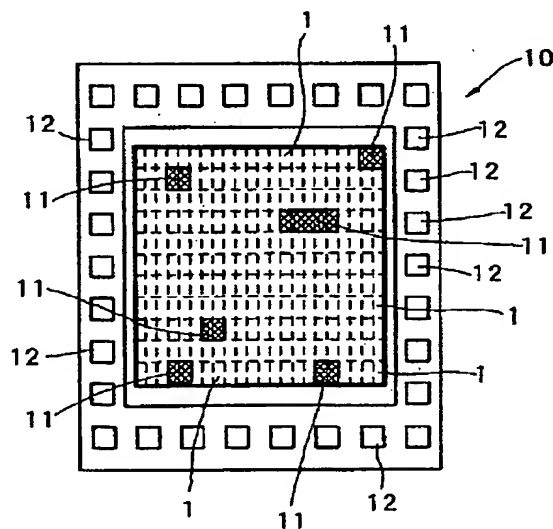
(74) 代理人 弁理士 梶山 信是 (外1名)

(54) 【発明の名称】 内部情報保護回路付き I C

(57) 【要約】

【課題】 I Cの開封に対して高いセキュリティで内部情報を保護することができる内部情報保護回路付き I Cを提供することにある。

【解決手段】 受光素子を分散して複数配置することで、開封状態では、受光素子の作用でロジック回路やロジックエレメントが正常に動作しないようにして、特に、電子ビームテスト等による内部ロジックの解析をできないようにする。開封後に I C全体を遮蔽する状態にした場合には、受光素子からの電流が発生しなくなるけれども、受光素子にメモリセルを結合する回路を採用することで開封状態を記憶することができる。



## 【特許請求の範囲】

【請求項1】分散して複数の受光素子が集積され、複数の各受光素子が不揮発性メモリセルに接続された接続ライン、ロジック回路に接続された接続ラインあるいはロジックエレメントに接続された接続ラインのいずれかの接続ラインに接続されて、この接続ラインを遮断し、導通しあるいは接地ラインに接続することにより前記接続ラインに関係する回路の正常な動作を阻害することによりICが開封されたときに内部情報を保護する内部情報保護回路付きIC。

【請求項2】さらに、ONすることにより前記ロジック回路に接続された接続ラインあるいはロジックエレメントに接続された接続ラインを他の同様な接続ラインと接続するスイッチトランジスタを有し、前記不揮発性メモリセルは、書込まれた“1”、“0”の情報により前記スイッチトランジスタをONまたはOFFにするものであり、前記複数の受光素子のすくなくとも1つは、前記不揮発性メモリセルに“1”、“0”の情報を書込むラインに接続され、前記受光素子のすくなくとも1つから得られる受光電流により前記スイッチトランジスタのON/OFFが設定される請求項1記載の内部情報保護回路付きIC。

【請求項3】前記不揮発性メモリセルは、フラッシュメモリセルであり、前記ICがフィールドプログラマブルゲートアレイである請求項2記載の内部情報保護回路付きIC。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、内部情報保護回路付きICに関し、詳しくは、ICカードやプログラムがロードされたメモリを有するロジックIC、FPGA（フィールドプログラマブルゲートアレイ）などにおいて、ICの開封に対して高いセキュリティで内部情報を保護することができるような内部情報保護回路を備えたICに関する。

## 【0002】

【従来の技術】IC内部の情報を盗用から保護する技術には種々のものがある。第三者がメモリの内容を不正に解読しようとするに対して阻止する技術としては、ICカード等において各種の方法が試みられている。その1つに、特別なコードの一致検出を行うことで不正なデータの読出を阻止するものがある。また、内部データの暗号化もその1つである。しかし、このようなデータの情報処理による防止策を講じて、ICのケースを剥いてICを開封し、そのチップを露出させてベアチップを電子ビームでスキャンする電子ビームテストによれば、ICのロジックは解析可能である。また、CPUとメモリといふようにICカードなどでは複数のチップがある場合が多く、あるいはこれらがチップが最近ではシステムICとして1個にIC化されたい場合もあり、こ

の種の回路構成においては、メモリICがバス接続されて制御ICと接続されているので、チップ間の信号の授受あるいはバスの信号を検出により、メモリに記憶された情報が解析されてしまう。

【0003】このような電子ビームによるICのロジック解析やICチップ間の信号の授受、バス上に現れる信号による、プログラムやデータ、あるいはデザインの情報の盗用を防止するために、例えば、特開平5-68727号に記載されているように、内部の電子回路を取り巻くように、電磁エネルギーを分布させたコイルを設けるものがある。これによりICケースが開封されないようにし、ケースが剥ぎ取られた場合には、コイルにより検出された信号によってIC内部のデータを破壊することで内部情報を保護する。あるいは、特開平7-200414号に記載されるように、電源ラインを実装基板面全体に這わせることでICチップを基板から剥がそうとしたときに、電源ラインを切断し、このことでSRAM等に記憶された情報を消去するような方法も提案されている。一方、出願人は、ICの開封を検出するフォトダイオード等の光開封センサをICチップとともにICカードに封入してICが開封された場合に回路の機能の一部あるいは全部の正常な動作状態を阻止するようにし、あるいは、メモリのデータを読出禁止にするようにした回路を設けた発明を提案し、特願平9-128304号、発明の名称「ICカードおよびICカードモジュール」として出願している。

## 【0004】

【発明が解決しようとする課題】しかし、前記のような開封防止回路、開封防止機構等によるICの内部情報保護では、同じICを複数個入手して、その保護方式が研究され、解析されてしまえば、この保護回路や機構が動作しないような状態で次のICが解析される可能性が高い。したがって、内部情報盗用に対するセキュリティは決して十分なものとは言えない。この発明の目的は、このような従来技術の問題点を解決するものであって、ICの開封に対して高いセキュリティで内部情報を保護することができる内部情報保護回路付きICを提供することにある。

## 【0005】

【課題を解決するための手段】このような目的を達成するこの発明の内部情報保護回路付きICの特徴は、分散して複数の受光素子が集積され、複数の各受光素子が不揮発性メモリセルに接続された接続ライン、ロジック回路に接続された接続ラインあるいはロジックエレメントに接続された接続ラインのいずれかの接続ラインに接続されて、この接続ラインを遮断し、導通しあるいは接地ラインに接続することにより接続ラインに関係する回路の正常な動作を阻害することによりICが開封されたときに内部情報を保護するものである。

## 【0006】

【発明の実施の形態】このように、受光素子を分散して複数配置することで、開封状態では、受光素子の作用でロジック回路やロジックエレメントが正常に動作しないようにする。これにより、特に、電子ビームテスト等による内部ロジックの解析はできなくなる。しかも、IC上では、集積化された受光素子と他のトランジスタとの判別が難しいので、受光素子部分を選択的に遮蔽することは難しく、そこを避けてのビームスキャンが困難である。

【0007】開封後にIC全体を遮蔽する状態にした場合には、受光素子からの電流が発生しなくなるけれども、受光素子にメモリセルを結合する回路を採用することで開封状態を記憶することができる。特に、接続ラインにスイッチトランジスタを設けて受光素子により不揮発性メモリセルにデータを書込み、これによりスイッチトランジスタをONあるいはOFFにするような構成にすればよい。受光素子の電流を不揮発性メモリセルの書き込み電流として受光状態を記憶してしまえば、受光素子が一度でも受光すれば、その状態が記憶され、これによりロジック回路を接続するラインあるいはロジックエレメントを接続するラインが遮断され、導通されあるいは接地ラインに接続されるので、ロジック回路等は正常に動作しなくなる。これによりロジックの周辺のメモリも読出しができなくなる。その結果、ICの開封に対して高いセキュリティで内部情報を保護することができる。

【0008】

【実施例】図1は、この発明の内部情報保護回路付きICをFPGAに適用した一実施例のFPGAの説明図、図2は、FPGAのタイルの配線接続関係の説明図、図3は、タイルにおけるフォトトランジスタとロジックエレメントの接続状態の説明図である。FPGA10は、フラッシュ型のEEPROM（フラッシュメモリ）のFPGAであって、マトリクス状に配列されたタイルと呼ばれる大きさの領域1（以下タイル）に、基本論理要素形成領域と、これら基本論理要素の内部配線と、タイルを相互に配線するマトリクス状に配列されたマトリクス配線と、それぞれの配線接続をするフラッシュメモリのスイッチセルとを有している。フラッシュメモリのスイッチセルは、スイッチトランジスタとEEPROMのメモリセルとで構成され、各配線の交点にスイッチトランジスタを配置して、このスイッチをこれに対応して形成されたメモリセルにデータを書込むことでON/OFFし、このことで、選択的に配線接続を成立させる。それによりデバイスが組込まれる。

【0009】11は、フォトトランジスタであって、タイル1に混ざって、タイル1個あるいは複数個のタイル分の受光面が並列に接続されて分散して複数個設けられている。なお、大きな受光電流を得る関係で複数の並列接続したタイル分の領域を使用する方がよい。前記のタイルを相互に配線するマトリクス配線は、フォトトラ

ンジスタ11の受光面の上部に配線され、受光面の一部を占有している。これにより外見上は、他のタイルと区別し難くなる。もちろん、マトリクス配線は、フォトトランジスタ11の受光面の下部に配線されていてもよい。12は外部端子へ接続されるパッドである。なお、この図では、タイルのデバイスとパッド12等の配線および外部端子との配線は省略してある。フォトトランジスタ11としてのタイルの部分は、ICとして外部から目視して他のトランジスタと見分けることは通常は不可能である。したがって、どのに配置されているかは分かり難い。特に、タイル1の大きさか、これの複数個に対応してタイルと同じ状態で設けられている場合には見分ける難い。

【0010】タイル1におけるスイッチセルとしてのフラッシュメモリセルとマトリクス配線の接続をするスイッチトランジスタとの関係は、図2に示すように、1つのスイッチMOSFETトランジスタTrに対して1つのフラッシュメモリセルMCが割り当てられ、その“1”、“0”の記憶に対応する出力をトランジスタTrがゲートに受けて、メモリセルに“0”が記憶されたときにトランジスタがONすることによりこのスイッチトランジスタTrが接続された縦配線と横配線のラインを接続する。なお、図中、6、7は、それぞれロジックエレメントであり、ロジックエレメント6、7は、タイル内接続配線マトリクス2における配線により接続される基本論理ゲート領域5の論理要素の1つである。なお、3は、タイル外配線マトリクス3であって、他のタイルに形成されたデバイス等との接続を行う。4は、スイッチセル領域であって、このスイッチセル領域4にプログラム可能な不揮発性メモリとしてフラッシュメモリMcが配置されている。なお、説明の都合上、ここでの、タイル内接続配線マトリクス2、タイル外配線マトリクス3は、多数ある配線のうちのそれぞれ1本を示しているに過ぎない。

【0011】図3は、図2に示すタイルのうちフォトトランジスタ11が接続されたタイルを示す。なお、フォトトランジスタ11の接続は、説明の都合上、タイル内に配置を移してフォトトランジスタ11a～11dとしているが、実際上は、タイル外配線マトリクス3で受光素子の配置された図1に示すフォトトランジスタ11の集積位置まで配線は伸びて接続されている。なお、フォトトランジスタは、複数のものがバラバラに接続されていてもよく、この場合もフォトトランジスタ11a～11dの1個のトランジスタとして説明する。フォトトランジスタ11aは、このタイル内接続配線マトリクス2の選択されたトランジスタTrのゲートとグラウンドGND間に設けられている。フォトトランジスタ11bは、タイル内配線マトリクス2においてスイッチ回路としてのトランジスタTrをON/OFFするフラッシュメモリセルにおけるフローティングゲート型スイッチ

トランジスタ8のビット線とグラウンドGND間に接続され、スイッチトランジスタ8のビット線を接地する。さらに、フォトトランジスタ11cは、MOSFETトランジスタ8aのゲートに接続されている。MOSFETトランジスタ8aは、タイル内配線マトリックス2のライン2aを接地するためのスイッチ回路である。そこで、フォトトランジスタ11cが所定量以上の光を受光したときには、トランジスタ8aがONになりライン2aが接地される。

【0012】一方、フォトトランジスタ11dは、タイル外配線マトリックス3においてスイッチ回路としてのトランジスタTrをON/OFFするフラッシュメモリセルにおけるフローティングゲート型スイッチトランジスタ9のゲートに接続され、これに受光電流を流し込み、フラッシュメモリセルMcに書き込み電流を送出するものである。なお、それぞれのフォトトランジスタ11a, 11b, 11c, 11dは、図1のフォトトランジスタ11のいずれかに対応している。ところで、フラッシュメモリセル自体は、データが書き込まれたときに“0”となり、データが書き込まれない状態が“1”であって、接続側にプログラムされた状態ではメモリセルが“0”である。

【0013】このような形でフォトトランジスタが挿入され、接続されていることにより、ICが開封されたときには、外部光を受光したフォトトランジスタ11aからの電流により、タイル内配線マトリックス2のトランジスタTrのゲートが接地され、これがOFFすることで、まず、タイル内接続配線マトリックス2により接続されているロジックエレメント6とロジックエレメント7とは接続されなくなる。さらに、外部光を受光したフォトトランジスタ11bから流れる電流によりスイッチトランジスタ8のドレインが接地されてフラッシュメモリセルMcの記憶データが“1”にされ、消去される。これによってもタイル内配線マトリックス2のトランジスタTrがOFF状態にされる。しかも、ライン2aは、フォトトランジスタ11cの電流がトランジスタ8aのゲートに流入することによりこのトランジスタ8aがONになって接地される。これらによりロジックエレメント6とロジックエレメント7で構成されるデバイスは機能しなくなる。

【0014】一方、タイル外配線マトリックス3では、フォトトランジスタ11dの電流がフラッシュメモリに流入することによりフラッシュメモリに“1”が書き込まれて、タイル外配線マトリックス3が接続状態となり、本来接続されないロジックデバイスにタイル1のロジックデバイスが接続される。なお、このような受光素子を接続する接続ラインは、本来ロジックが接続されないような接続ラインを選択して行われる方がよい。そうでない場合には、フォトトランジスタ11cが接続されたフラッシュメモリにあらかじめ“1”が書き込まれている場

合もある。しかし、フォトトランジスタ11cを多数設けることでフラッシュメモリの書き込みが“0”から

“1”になるものは必ず存在するので、必ずしも、特別な接続ラインに受光素子を接続することが必要条件となる訳ではない。

【0015】その結果、フォトトランジスタ11a～11dを有するロジック領域は、機能しなくなる。特に、フォトトランジスタのうちフラッシュメモリに接続されているものは、メモリの書き込み情報が変化する。これが記憶されることで、ロジックエレメントの接続状態が変わり、たとえ、暗室状態にしてもロジックは元には戻らない。なお、暗室において、電子ビームテスターにより電子ビームでスキャンされたときにもフォトトランジスタ11a～11dは、同様な作用をする。このように元に戻さないような接続にする場合には、先のライン2aに接続されているMOSTランジスタ8aを記憶機能を持つフローティングゲートのトランジスタとするとよい。このようなフォトトランジスタ11a～11dは、図1に示されるように、分散して配置され、ICとして外部から目視しても他のトランジスタとフォトトランジスタとを見分けることはできないので、開封の都度、フォトトランジスタ部分だけを塞ぐことは不可能に近い。また、最初からICを暗室状態で開封することは非常に困難である。このようなことからFPGAに書き込まれた情報、フラッシュメモリセルに書き込まれた情報のセキュリティを向上させることができる。

【0016】ところで、ICカードなどでは、メモリとして前記のEEPROMが用いられることが多いので、フォトトランジスタ11とフラッシュメモリセル（一括消去型EEPROM）とについて同様な回路構成を用いることができる。また、メモリも、そのデータ読出部分には、レジスタやゲート回路などのロジック回路が必ず設けられているので、その接続ラインについてフォトトランジスタ11a, 11bのような回路配置を付加することで内部情報の保護ができる。これにより前記と同様なセキュリティの確保が可能になる。したがって、この発明は、FPGAに限定されるものではない。また、スイッチセルにフラッシュメモリではなく、FeRAM、EEPROM等の不揮発性メモリを使用したFPGAに使用できるほか、SRAMを用いるFPGAもあるが、これらFPGAについても適用できることはもちろんである。

【0017】

【発明の効果】以上説明してきたように、この発明にあっては、受光素子を分散して複数配置することで、開封状態では、受光素子の作用でロジック回路やロジックエレメントが正常に動作しないようにしているので、特に、電子ビームテスタ等による内部ロジックの解析はできなくなる。開封後にIC全体を遮蔽する状態にした場合には、受光素子からの電流が発生しなくなるけれど

も、受光素子にメモリセルを結合する回路を採用することで開封状態を記憶することができる。その結果、ICの開封に対して高いセキュリティで内部情報を保護することができる。

【図面の簡単な説明】

【図1】図1は、この発明の内部情報保護回路付きICをFPGA（フィールドプログラマブルゲートアレイ）に適用した一実施例のFPGAの説明図である。

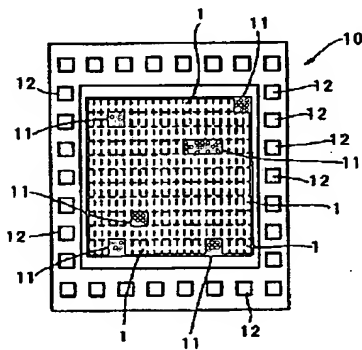
【図2】図2は、FPGAのタイルとフォトトランジスタの接続関係の説明図である。

【図3】図3は、フォトトランジスタとロジックエレメントの接続状態の説明図である。

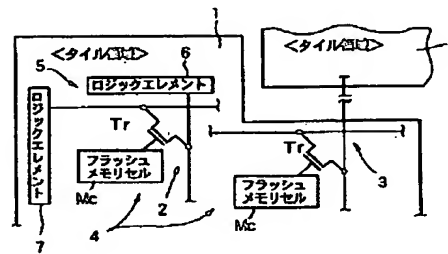
【符号の説明】

1…タイル、2…タイル内接続配線マトリックス、3…タイル外接続配線マトリックス、4…メモリセル領域、5…基本論理ゲート領域、6、7…ロジックエレメント、10…FPGA（プログラマブルゲートアレイ）、11、11a、11b、11c…フォトトランジスタ、12…パッド。

【図1】



【図2】



【図3】

